

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2005年2月17日 (17.02.2005)

PCT

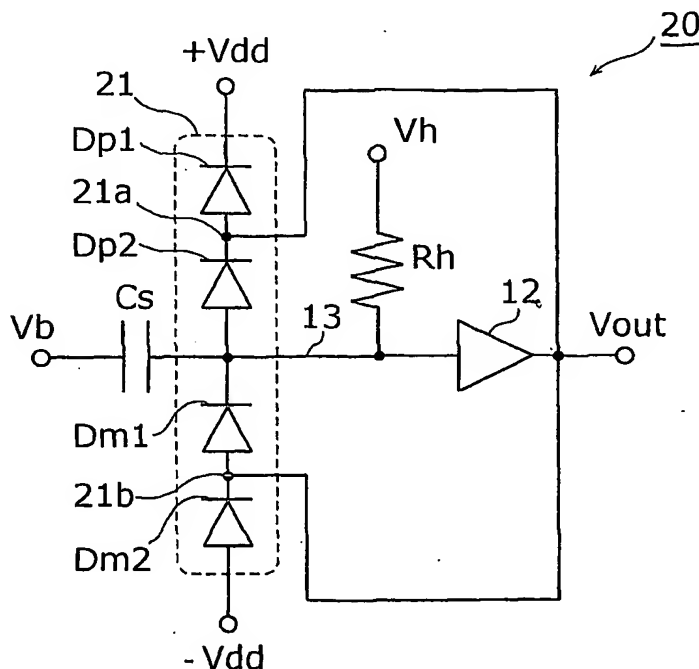
(10) 国際公開番号
WO 2005/015246 A1

- (51) 国際特許分類⁷: G01R 27/26 (72) 発明者: および
(75) 発明者/出願人 (米国についてのみ): 八壁 正巳 (YAK-
ABE, Masami) [JP/JP]; 〒6600891 兵庫県尼崎市扶桑
町1番8号 東京エレクトロン株式会社内 Hyogo (JP).
- (21) 国際出願番号: PCT/JP2004/011577
- (22) 国際出願日: 2004年8月5日 (05.08.2004)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2003-287991 2003年8月6日 (06.08.2003) JP
- (71) 出願人 (米国を除く全ての指定国について): 東京エ
レクトロン株式会社 (TOKYO ELECTRON LIMITED)
[JP/JP]; 〒1078481 東京都港区赤坂五丁目3番6号
Tokyo (JP).
- (74) 代理人: 新居 広守 (NII, Hiromori); 〒5320011 大阪府
大阪市淀川区西中島3丁目11番26号 新大阪末広
センタービル3F 新居国際特許事務所内 Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が
可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR,
BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM,
DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU,
ID, IL, IN, IS, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT,
LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI,
NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG,
SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ,
VC, VN, YU, ZA, ZM, ZW.

[続葉有]

(54) Title: CAPACITANCE DETERMINING CIRCUIT AND CAPACITANCE DETERMINING METHOD

(54) 発明の名称: 容量検出回路及び容量検出方法



(57) Abstract: A capacitance determining circuit having an input protection circuit and exhibiting a high sensitivity. A capacitance determining circuit (20) for determining the capacitance of a capacitive sensor (Cs), comprising a buffer amplifier (12) connected to the capacitive sensor (Cs) via a signal line (13) and having a voltage amplification ratio of 1; diodes (Dp1, Dp2) series connected between the signal line (13) and a positive power supply (+Vdd); and diodes (Dm1, Dm2) series connected between the signal line (13) and a negative power supply (-Vdd), wherein an output terminal of the buffer amplifier (12) is connected to a junction (21a) of the diodes (Dp1, Dp2) and to a junction (21b) of the diodes (Dm1, Dm2).

(57) 要約: 入力保護回路を備え、かつ、高い感度をもつ容量検出回路を提供する。容量型センサCsの容量を検出する容量検出回路(20)であって、容量型センサ(Cs)に信号線(13)を介して接続される電圧増幅率が1のバッファアンプ(12)と、信号線(13)と正電源(+Vdd)との間に直列に接続されたダイオード(Dp1)及び(Dp2)と、信号線(13)と負電源(-Vdd)との間に直列に接続されたダイオード(Dm1)及び(Dm2)とを含み、バッファアンプ(12)の出力端子が、ダイオード(Dp1)とダイオード(Dp2)との接続点(21a)、及び、ダイオード(Dm1)とダイオード(Dm2)との接続点(21b)に接続されている。



(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告書
- 請求の範囲の補正の期限前の公開であり、補正書受領の際には再公開される。

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

明 細 書

容量検出回路及び容量検出方法

技術分野

- 5 本発明は、静電容量を検出する回路に関し、特に、微小な静電容量の変化分に対応した信号を出力する回路に関する。

背景技術

- 従来、物理量の変化に応じて静電容量（以下、単に「容量」という。）
10 が変化する容量型センサの検出回路として、図 1 に示される容量検出回路 10 がある。

- この容量検出回路 10 は、容量型センサ C_s の容量に対応した電圧信号を出力する回路であり、容量型センサ C_s 、入力保護回路 11、抵抗 R_h 、バッファアンプ 12、容量型センサ C_s とバッファアンプ 12 と
15 を接続する信号線 13 等から構成される（入力保護回路としては、例えば、特開平 5-335493 号公報参照）。

- 容量型センサ C_s の 1 つの電極には電圧 V_b が印加され、他の電極は、信号線 13 を介してバッファアンプ 12 の入力端子に接続されている。
入力保護回路 11 は、信号線 13 に飛び込む静電気等の高電圧を電源電
20 圧にクランプする回路であり、信号線 13 と正電源（ $+V_{dd}$ ）及び負電源（ $-V_{dd}$ ）との間に接続されたダイオード D_p 及び D_m からなる。

このような従来の容量検出回路 10 の動作は次の通りである。

- いま、信号線 13 の寄生容量（浮遊容量）を C_i とすると、バッファアンプ 12 の入力電圧 V_{in} は、容量型センサ C_s に印加された電圧 V_b を容量型センサ C_s と寄生容量 C_i とで決まる分圧となるので、
25

$$V_{in} = V_b \cdot (1 / j\omega C_i) / (1 / j\omega C_s + 1 / j\omega C_i)$$

となる。ところで、バッファアンプ 1 2 の電圧増幅率は 1 であるので、

$$V_{out} = V_{in}$$

が成立する。よって、上記 2 つの式から V_{in} を消去すると、出力電圧 V_{out} は、

$$5 \quad V_{out} = V_b \cdot C_s / (C_s + C_i)$$

となる。ここで、容量型センサ C_s の容量が物理量の変化に依存する成分（変化容量 ΔC ）と依存しない成分（基準容量 C_d ）との和で表されたとすると、つまり、

$$C_s = C_d + \Delta C$$

10 で表されたとすると、上記出力電圧 V_{out} は、

$$V_{out} = V_b \cdot (C_d + \Delta C) / (C_d + \Delta C + C_i)$$

となる。ここで、 V_b が直流電圧のとき、出力電圧 V_{out} のうち、物理量の変化に対応する交流分 V_o だけが最終的な信号となるので、その交流分 V_o は、

$$15 \quad V_o = V_b \cdot \Delta C / (C_d + \Delta C + C_i) \quad \text{--- (式 1)}$$

となる（ここで、 V_o は、物理量の時間的変化「例えば ΔC 」に依存する成分によるものであるということが出来る）。

上記式 1 から分かるように、このような容量検出回路では、感度を向上させるためには、 ΔC 、 C_d 、 V_b が一定であることから、寄生容量

20 C_i を小さくする、又は、ゼロにすることが望ましい。

ところが、寄生容量 C_i を小さくすることは容易なことではない。

図 2 は、図 1 に示された容量検出回路 10 の通常動作時（ダイオード D_p 及び D_m が逆バイアスされている時）における等価回路図である。ここでは、ダイオード D_p 及び D_m の容量（逆バイアス時における空乏層容量）がそれぞれコンデンサ C_{dp} 及び C_{dm} として、バッファアンプ 1 2 の入力容量がコンデンサ C_g として図示されている。寄生容量 C

i は、これらのコンデンサ C_{dp} 、 C_{dm} 、 C_g の容量の合計値、つまり、

$$C_i = C_{dp} + C_{dm} + C_g$$

となるが、いずれも、必要不可欠な回路から生じる寄生容量である。

- 5 ここで、もし、容量検出回路 10 全体をワンチップ IC で形成することができるとなれば、入力保護回路 11 を設けないことで、寄生容量 C_i を大幅に削減することができる。しかしながら、複数種類の部品を組み合わせる必要のある場合や容量型センサ C_s と検出回路とを離れた位置に実装しなければならない場合等においては、容量型センサ C_s と検出回路とが分離された構造で容量検出回路を実装しなければならず、バッファアンプ 12 の入力段に入力保護回路 11 を設けることは避けることができない。そのために、入力保護回路 11 に起因する寄生容量が加算されることとなり、容量検出回路の感度が低下してしまうという問題がある。

15

発明の開示

そこで、本発明は、このような課題に鑑みてなされたものであり、入力保護回路を備え、かつ、高い感度をもつ容量検出回路を提供することを目的とする。

- 20 上記目的を達成するために、本発明に係る容量検出回路は、入力保護回路を構成するダイオードの容量をキャンセルする工夫を施している。

- つまり、本発明に係る容量検出回路は、被検出コンデンサの容量を検出する回路であって、前記被検出コンデンサに信号線を介して接続される第 1 バッファアンプ部と、前記信号線と第 1 電源との間に直列に接続された第 1 及び第 2 ダイオードと、前記信号線と第 2 電源との間に直列に接続された第 3 及び第 4 ダイオードとを含み、前記第 1 バッファアンプ
- 25

プ部の出力端子が、前記第 1 ダイオードと前記第 2 ダイオードとの第 1 接続点、及び、前記第 3 ダイオードと前記第 4 ダイオードとの第 2 接続点に接続されていることを特徴とする。これによって、信号線に接続された第 1 ダイオード及び第 3 ダイオードの両端が同電位となるので、ダイオードの容量がキャンセルされ、寄生容量が小さくなり、容量検出回路の感度が大きくなる。

ここで、第 1 電源は好ましくは正の電位で、通常は、回路の中の正電源を用いる。また、第 2 電源は好ましくは負の電位で、通常は、回路の中の負電源又はグランドを用いる。第 1 バッファアンプ部はバッファアンプの機能を有するなら何でもよい。第 1 バッファアンプ部の電圧増幅率は「1」が最も好ましいが、それ以外の値でも可能である。さらに、被検出コンデンサに印加するバイアス電圧は交流でも、直流でも、直流がのった交流でもよい。

また、前記第 1 バッファアンプ部の出力端子と前記第 1 及び第 2 接続点とを、それぞれ、第 1 及び第 2 コンデンサを介して交流的に接続し、前記第 1 接続点については、第 1 抵抗を介して前記第 1 電源の電位と前記信号線の電位との間の電位に接続し、前記第 2 接続点については、第 2 抵抗を介して前記第 2 電源の電位と前記信号線の電位との間の電位に接続してもよい。このとき、前記第 1 及び第 2 抵抗の抵抗値と前記第 1 及び第 2 コンデンサの容量値として、前記第 1 バッファアンプ部の出力信号のうち、前記被検出コンデンサの変化容量及び当該被検出コンデンサに加えるバイアス電圧の交流分に対応する周波数成分を通過させるような抵抗値及び容量値とするのが好ましい。これによって、第 1 バッファアンプ部の出力端子と前記第 1 及び第 2 接続点とは交流的に接続されることとなり、信号線に接続された第 1 ダイオード及び第 3 ダイオードの両端が交流的に同電位となるので、これらのダイオードの容量がキャ

ンセルされ、寄生容量が小さくなり、被検出コンデンサの変化容量を検出する回路としての感度が大きくなる。

また、前記第 1 抵抗と前記第 1 コンデンサとの接続点と前記第 1 接続点との間に、第 2 バッファアンプ部を接続するとともに、前記第 2 抵抗
5 と前記第 2 コンデンサとの接続点と前記第 2 接続点との間に、第 3 バッファアンプ部を接続してもよい。ここで、好ましくは、前記第 1 接続点の電位と前記第 2 接続点の電位とが前記信号線の電位と同じになるように、前記第 1 ～第 3 バッファアンプ部のそれぞれの電圧増幅率を設定する。更により好ましくは、第 1 ～第 3 バッファアンプ部の電圧増幅率を
10 すべて 1 とする。これによって、より確実に、第 1 ダイオード及び第 3 ダイオードの両端が同電位に確保される。

また、前記第 1 バッファアンプ部は、入力段の回路として、MOSFET を含み、前記 MOSFET のゲートが前記第 1 バッファアンプ部の入力端子に接続されている場合には、前記 MOSFET の基板と前記第
15 1 バッファアンプ部の出力端子とを接続するのが好ましい。これによって、第 1 バッファアンプ部の入力容量がキャンセルされ、容量検出回路の感度が向上される。

また、前記容量検出回路はさらに、テスト信号を入力するためのテスト端子と、前記第 1 バッファアンプ部の入力端子と前記テスト端子との
20 間に直列に接続されたテスト用コンデンサとスイッチとを設けてもよい。これによって、容量検出回路を、被検出コンデンサと分離された回路として実現する場合に、被検出コンデンサが接続されていない状態であっても、被検出コンデンサが接続されているのに等しい状態とし、容量検出回路単体で動作テストを行うことができる。

25 なお、本発明は、このような容量検出回路として実現することができるだけでなく、入力保護回路のダイオードの容量をキャンセルすること

によって感度を向上させる容量検出方法として実現することもできる。

本発明に係る容量検出回路によれば、入力保護回路を構成するダイオードのうち、信号線に接続されたダイオードの容量がキャンセルされるので、信号線の寄生容量が小さくなり、容量検出回路の感度が大幅に向上される。

また、容量検出回路を構成するバッファアンプ部の出力信号のうち、容量型センサの容量変化及び当該被検出コンデンサに加えるバイアス電圧の交流分に対応する周波数成分を入力保護回路のダイオードに印加させることで、入力保護回路を構成するダイオードのうち、信号線に接続されたダイオードの両端の電位が交流的に同一となり、容量がキャンセルされるので、信号線の寄生容量が小さくなり、容量型センサの容量変化を検出する容量検出回路としての感度が大幅に向上される。

また、バッファアンプの入力段におけるMOSFETの基板とバッファアンプの出力端子とを接続しておくことで、バッファアンプの入力容量がキャンセルされるので、信号線の寄生容量が減少し、容量検出回路の感度が向上される。

さらに、容量検出回路にテスト用コンデンサとスイッチとを組み込んでおくことで、容量型センサが接続されていない状態であっても、容量検出回路に容量型センサが接続されたに等しい状態を作ることができ、回路の動作テストを行うことが可能となる。一方、動作テストを行っていないときは、テスト用コンデンサをバッファアンプ部の入力端子と出力端子との間に接続しておくようにすることができる。

図面の簡単な説明

図 1 は、従来の容量検出回路の回路図である。

図 2 は、図 1 に示された容量検出回路の等価回路の回路図である。

図 3 は、本発明の実施の形態 1 における容量検出回路の回路図である。

図 4 は、図 3 に示された容量検出回路の等価回路の回路図である。

図 5 は、本発明の実施の形態 2 における容量検出回路の回路図である。

図 6 は、図 5 に示された容量検出回路の等価回路の回路図である。

- 5 図 7 は、図 6 に示された等価回路に信号電圧を記した回路図であり、
(a) は回路が定常状態にある場合、(b) は回路が変化状態にある場合
の回路図である。

図 8 は、図 5 に示された容量検出回路に 2 つのバッファアンプを付加
した容量検出回路の回路図である。

- 10 図 9 は、バッファアンプの入力段を構成する MOSFET の基板とバ
ッファアンプの出力端子とを接続した回路図である。

図 10 は、容量検出回路にテスト用コンデンサを付加した回路図であ
る。

- 15 図 11 (a) 及び (b) は、バッファアンプの一例を示す回路図であ
る。

発明を実施するための最良の形態

以下、本発明の実施の形態について図面を用いて詳細に説明する。

(実施の形態 1)

- 20 図 3 は、本発明の一例として実施の形態 1 における容量検出回路 20
の回路図を例示したものである。

- この容量検出回路 20 は、容量型センサ C_s の容量に対応した電圧信
号を出力する回路であり、容量型センサ C_s 、入力保護回路 21、抵抗
 R_h 、バッファアンプ 12、容量型センサ C_s とバッファアンプ 12 と
25 を接続する信号線 13 等から構成される。信号線 13 は、プルアップ抵
抗 R_h を介して電源 V_h に接続され、直流電位が固定されている。バッ

ファアンプ 12 は、入力インピーダンスが高く、かつ、出力インピーダンスが低い電圧増幅率が 1 のインピーダンス変換器である。図 1 に示された従来の容量検出回路 10 に比べ、入力保護回路 21 の構成、及び、バッファアンプ 12 の出力と入力保護回路 21 とが接続されている点等
5 が異なる。以下、従来の容量検出回路と同一の構成要素には同一の符号を付し、その説明を省略し、異なる点を説明する。

入力保護回路 21 は、信号線 13 と正電源 ($+V_{dd}$) との間に信号線 13 から正電源 ($+V_{dd}$) に向かって電流が流れる方向となるように接続された 2 つのダイオード D_{p1} 及び D_{p2} と、信号線 13 と負電源 ($-V_{dd}$) との間に負電源 ($-V_{dd}$) から信号線 13 に向かって電流が流れる方向となるように接続された 2 つのダイオード D_{m1} 及び D_{m2} とから構成される。
10

そして、バッファアンプ 12 の出力端子は、入力保護回路 21 のダイオード D_{p1} とダイオード D_{p2} との接続点 21a に接続されるとともに、ダイオード D_{m1} と D_{m2} との接続点 21b に接続されている。
15

以上のように構成された容量検出回路 20 の動作は次の通りである。

図 4 は、図 3 に示された容量検出回路 20 の等価回路である。ここでは、ダイオード D_{p2} 及び D_{m1} の容量がそれぞれコンデンサ C_{dp} 及び C_{dm} として、バッファアンプ 12 の入力容量がコンデンサ C_g として図示されている。
20

コンデンサ C_{dp} に着目すると、その両端は、バッファアンプ 12 の入力端子及び出力端子に接続されているので、同電位となる。同様に、コンデンサ C_{dm} の両端も同電位となる。つまり、これらのコンデンサ C_{dp} 及び C_{dm} は、いずれも、その両端が同電位となり、蓄積電荷がゼロとなり、見かけ上、容量 C_{dp} 及び C_{dm} がゼロとなる。これは、コンデンサの容量 C と蓄積電荷 Q と両端子間の電圧 V との関係、
25

$$Q = C \cdot V$$

において、 $V = 0$ の場合に $Q = 0$ 、つまり、蓄積電荷がゼロとなり、見かけ上、容量 C がゼロの場合に等しいこととなることから容易に理解できる。

- 5 以上のことから、信号線 13 に接続されている 2 つのダイオード D_p 2 及び D_m 1 の容量（コンデンサ C_{dp} 及び C_{dm} ）を無視することができるので、信号線 13 の寄生容量 C_i は、コンデンサ C_g だけ、つまり、

$$C_i = C_g$$

- 10 となる。よって、従来の容量検出回路 10 における信号線 13 の寄生容量 C_i （ $= C_{dp} + C_{dm} + C_g$ ）に比べ、入力保護回路に起因する容量分が削減されることとなり、その分だけ、容量検出回路 20 の感度が向上する。つまり、上述の式 1 における分母に含まれる C_i が大幅に小さくなり、回路ゲイン、

$$15 \quad \Delta C / (C_d + \Delta C + C_i)$$

が従来よりも大幅に大きくなる。

（実施の形態 2）

図 5 は、本発明の一例である実施の形態 2 における容量検出回路 30 の回路図を例示したものである。

- 20 この容量検出回路 30 は、容量型センサ C_s の容量に対応した電圧信号を出力する回路であり、容量型センサ C_s 、入力保護回路 31、抵抗 R_h 、バッファアンプ 12、コンデンサ C_p 、コンデンサ C_m 、容量型センサ C_s とバッファアンプ 12 とを接続する信号線 13 等から構成される。図 3 に示された実施の形態 1 の容量検出回路 20 に比べ、2 つの
25 コンデンサ C_p 及び C_m と 2 つの抵抗 R_p 及び R_m が追加されている点
が異なる。以下、実施の形態 1 の容量検出回路 20 と同一の構成要素に

は同一の符号を付し、その説明を省略し、異なる点を説明する。

入力保護回路 31 のダイオード D_{p1} とダイオード D_{p2} との接続点 31a には、固定電圧 V_p との間に抵抗 R_p が接続されるとともに、バッファアンプ 12 の出力端子との間にコンデンサ C_p が接続されている。

- 5 同様に、入力保護回路 31 のダイオード D_{m1} とダイオード D_{m2} との接続点 31b には、固定電圧 V_m との間に抵抗 R_m が接続されるとともに、バッファアンプ 12 の出力端子との間にコンデンサ C_m が接続されている。

- コンデンサ C_p と抵抗 R_p は、バッファアンプ 12 の出力電圧を入力
10 とし、これらの接続点を出力とするハイパスフィルタを構成しているが、容量型センサ C_s の変化容量 ΔC 及びバイアス電源の電圧 V_b (交流分) に対応する周波数帯域の信号を通過させる時定数となるように、その容量値及び抵抗値が設定されている。同様に、コンデンサ C_m と抵抗 R_m についても、同様の周波数帯域の信号を通過させる時定数となるように、
15 その容量値及び抵抗値が設定されている。したがって、バッファアンプ 12 の出力電圧の交流分がコンデンサ C_m を通過して入力保護回路 31 の接続点 31b に印加されることになる。

- 固定電圧 V_p は、信号線 13 の電位 V_h と正電源 ($+V_{dd}$) との間の値であり、ダイオード D_{p1} 及び D_{p2} がいずれも通常動作において
20 逆バイアスとなるようにバイアスしておくための直流電位である。同様に、固定電圧 V_m は、信号線 13 の電位 V_h と負電源 ($-V_{dd}$) との間の値であり、ダイオード D_{m1} 及び D_{m2} がいずれも通常動作において逆バイアスとなるようにバイアスしておくための直流電位である。

以上のように構成された容量検出回路 30 の動作は次の通りである。

- 25 図 6 は、図 5 に示された容量検出回路 30 の等価回路である。ここでは、ダイオード D_{p2} 及び D_{m1} の容量がそれぞれコンデンサ C_{dp} 及

び C_{dm} として、バッファアンプ 12 の入力容量がコンデンサ C_g として図示されている。

信号線 13 における電圧の交流分は、バッファアンプ 12 から出力され、コンデンサ C_p 及び C_m を通過して、入力保護回路 31 の接続点 31a 及び 31b に印加される。つまり、交流分に着目すると、コンデンサ C_{dp} 及び C_{dm} は、それぞれ、両端の電位が同一となり、実施の形態 1 と同様に、見かけ上、容量 C_{dp} 及び C_{dm} がゼロとなる。

以上のことから、信号線 13 に接続されている 2 つのダイオード D_p 2 及び D_m 1 の容量（コンデンサ C_{dp} 及び C_{dm} ）を無視することができるので、信号線 13 の寄生容量 C_i はコンデンサ C_g だけとなり、実施の形態 1 と同様の効果が奏される。

以上の動作を解析式を用いて説明すると次の通りである。

図 7 (a) は、容量検出回路 30 が定常状態、つまり、容量型センサ C_s の容量が定常値 C_d に等しい（変化容量 $\Delta C = 0$ である）ときの各箇所での電圧値を記入した回路図である。ここで電圧 V_b を直流とする。つまり、信号線 13 の電圧は V_h であり、バッファアンプ 12 の出力電圧は V_h であり、入力保護回路 31 の接続点 31a の電圧は V_p であり、入力保護回路 31 の接続点 31b の電圧は V_m である。

一方、図 7 (b) は、容量検出回路 30 の容量型センサ C_s の容量が変化しているときの各箇所での電圧値を記入した回路図である。つまり、信号線 13 の電圧は $(V_{sig} + V_h)$ であり、バッファアンプ 12 の出力電圧は $(V_{sig} + V_h)$ であり、入力保護回路 31 の接続点 31a の電圧は $(V_{sig} + V_p)$ であり、入力保護回路 31 の接続点 31b の電圧は $(V_{sig} + V_m)$ である。

ここで、抵抗 R_h 及びバッファアンプ 12 の入力抵抗が極めて高く、信号線 13 の電荷量が保存されたとすると、図 7 (a) に示された定常

状態における信号線 13 の電荷量 Q_1 と図 7 (b) に示された変化状態における信号線 13 の電荷量 Q_2 とが等しくなる。

ここで、図 7 (a) に示された定常状態における信号線 13 の電荷量 Q_1 は、

$$5 \quad Q_1 = C_d \cdot (V_h - V_b) + C_{dp} \cdot (V_h - V_p) + C_{dm} (V_h - V_m) + C_g \cdot V_h$$

である。一方、図 7 (b) に示された変化状態における信号線 13 の電荷量 Q_2 は、

$$10 \quad Q_2 = (C_d + \Delta C) \cdot (V_{sig} + V_h - V_b) + C_{dp} \cdot (V_{sig} + V_h - V_p) + C_{dm} (V_{sig} + V_h - V_m) + C_g \cdot (V_{sig} + V_h)$$

である。そして、

$$Q_1 = Q_2$$

が成立する。これらの式より、容量型センサ C_s の容量変化に対応する信号成分 V_{sig} は、

$$V_{sig} = (\Delta C / (C_d + \Delta C + C_g)) \cdot (V_b - V_h)$$

と表される。この式から、バッファアンプ 12 の出力信号の交流分は、入力保護回路 31 の 2 つのダイオード D_{p2} 及び D_{m1} の容量（コンデンサ C_{dp} 及び C_{dm} ）の影響を受けないことが分かる。つまり、信号線 13 の寄生容量 C_i は、見かけ上、コンデンサ C_g だけとなり、従来よりも感度が大きくなる。

以上、本発明に係る容量検出回路について、2 つの実施の形態を用いて説明したが、本発明は、これらの実施の形態に限定されるものではない。

25 たとえば、バイアス電源の電圧 V_b を交流や直流がのった交流としてもよい。また、図 8 に示される容量検出回路 40 のように、バッファア

ンプ 4 2 及び 4 3 を 2 つのダイオードの接続点とバッファアンプ 1 2 の出力端子からコンデンサ C_p 又は C_m を介して接続してもよい。この容量検出回路 4 0 は、実施の形態 2 における容量検出回路 3 0 の接続点 3 1 a と抵抗 R_p との間、及び、接続点 3 1 b と抵抗 R_m との間に、入力インピーダンスが高く、かつ、出力インピーダンスが低い電圧増幅率が 1 のインピーダンス変換器（それぞれ、バッファアンプ 4 2 及び 4 3）を挿入した回路に相当する。これによって、バッファアンプ 1 2 の出力負荷から入力保護回路 4 1 が切り離されるとともに、バッファアンプ 4 2 及び 4 3 を介して入力保護回路 4 1 の接続点 4 1 a 及び 4 1 b に電圧が供給されるので、コンデンサ C_{dp} 及び C_{dm} の両端の電位がより確実に同電位に保持され得る。

また、図 9 の回路図に示されるように、バッファアンプ 1 2 の内部の回路において、入力端子が MOSFET のゲートに接続されている場合には、バッファアンプ 1 2 の入力容量（コンデンサ C_g ）は、その MOSFET のゲート容量であり、その大部分がゲート基板間の容量である。したがって、このような場合においては、MOSFET の基板とバッファアンプ 1 2 の出力端子とを接続してもよい。これによって、ゲート基板間の容量がキャンセルされ、寄生容量 C_i が小さくなり、容量検出回路の感度が向上される。

また、容量型センサ C_s を除く容量検出回路がワンチップ IC やブレッドボード等で実現される場合においては、図 10 の回路図に示されるように、容量検出回路をテストするための回路を付加しておいてもよい。図 10 の回路図では、バッファアンプ 1 2 の入力端子は、テスト用コンデンサ 5 0 とスイッチ 5 1 とを介して、テスト用 PAD（IC の電極端子）5 2 に接続され、スイッチ 5 1 の制御端子は切替用 PAD 5 3（あるいは、スイッチ切替制御回路）に接続されている。このような構成に

よって、テスト時には、切替用PAD53から所定の第1電圧を印加してスイッチ51をテスト用PAD52に接続しテスト状態とすることで、容量検出回路に容量型センサ（テスト用コンデンサ50）が接続された状態となり、テスト用PAD52にテスト信号を入力する等によって容量検出回路をテストすることができる。一方、テスト完了後には、切替用PAD53から所定の第2電圧を印加してスイッチ51をバッファアンプ12の出力端子に接続してテスト用コンデンサ50の両端を同電位とし、感度低下を起こさないようにしておくこともできる。

また、実施の形態1及び2におけるバッファアンプ12、42、43は、図11（a）に示されるオペアンプ（演算増幅器）によるボルテージフォロワで構成してもよいし、図11（b）に示されるMOSFETを用いた回路で構成してもよい。

また、コンデンサCdp及びCdmの両端の電圧に位相差が生じる場合には、コンデンサCdp及びCdmの一端から他端までのループ回路上に位相補償回路を挿入し、位相差が生じないように調整してもよい。あるいは、実施の形態2における容量検出回路30の抵抗Rp及びRmを可変抵抗とし、コンデンサCp及びCmを可変容量とすることで、位相補償と通過帯域の調整とを同時に行うようにしてもよい。

20 産業上の利用の可能性

本発明は、容量検出回路として、特に、微小な静電容量の変化分に対応した信号を出力する回路として利用することができ、例えば、コンデンサマイクロホン等の物理量の変化に応じて容量が変化する容量型センサの検出回路として利用することができる。

請 求 の 範 囲

1. 被検出コンデンサの容量を検出する回路であって、
前記被検出コンデンサに信号線を介して接続される第1バッファアンプ部と、
5 前記信号線と第1電源との間に直列に接続された第1及び第2ダイオードと、
前記信号線と第2電源との間に直列に接続された第3及び第4ダイオードとを含み、
前記第1バッファアンプ部の出力端子が、前記第1ダイオードと前記
10 第2ダイオードとの第1接続点、及び、前記第3ダイオードと前記第4ダイオードとの第2接続点に接続されている
ことを特徴とする容量検出回路。
2. 前記第1バッファアンプ部の電圧増幅率が1である
15 ことを特徴とする請求の範囲1記載の容量検出回路。
3. 前記第1バッファアンプ部の出力端子は、前記第1及び第2接続点と、それぞれ、第1及び第2コンデンサを介して交流的に接続され、
前記第1接続点は、第1抵抗を介して前記第1電源の電位と前記信号
20 線の電位との間の電位に接続され、
前記第2接続点は、第2抵抗を介して前記第2電源の電位と前記信号線の電位との間の電位に接続されている
ことを特徴とする請求の範囲1記載の容量検出回路。
- 25 4. 前記第1抵抗と前記第1コンデンサは、前記第1バッファアンプ部の出力信号のうち、前記被検出コンデンサの変化容量及び当該被検出コ

ンデンサに加えるバイアス電圧の交流分に対応する周波数成分を通過させるような抵抗値及び容量値であり、

前記第 2 抵抗と前記第 2 コンデンサは、前記第 1 バッファアンプ部の出力信号のうち、前記被検出コンデンサの変化容量及び当該被検出コン
5 デンサに加えるバイアス電圧の交流分に対応する周波数成分を通過させるような抵抗値及び容量値である

ことを特徴とする請求の範囲 3 記載の容量検出回路。

5. 前記第 1 抵抗と前記第 1 コンデンサとの接続点と前記第 1 接続点と
10 の間には第 2 バッファアンプ部が接続され、

前記第 2 抵抗と前記第 2 コンデンサとの接続点と前記第 2 接続点との間には第 3 バッファアンプ部が接続されている

ことを特徴とする請求の範囲 3 記載の容量検出回路。

15 6. 前記第 1 接続点の電位と前記第 2 接続点の電位とが前記信号線の電位と同じになるように、前記第 1 ～ 第 3 バッファアンプ部のそれぞれの電圧増幅率が設定されている

ことを特徴とする請求の範囲 5 記載の容量検出回路。

20 7. 前記第 1 バッファアンプ部は、入力段の回路として、M O S F E T を含み、

前記 M O S F E T のゲートは、前記第 1 バッファアンプ部の入力端子に接続され、

前記 M O S F E T の基板は、前記第 1 バッファアンプ部の出力端子に
25 接続されている

ことを特徴とする請求の範囲 1 記載の容量検出回路。

8. 前記容量検出回路はさらに、

テスト信号を入力するためのテスト端子と、

前記第 1 バッファアンプ部の入力端子と前記テスト端子との間に直列
5 に接続されたテスト用コンデンサとスイッチとを含む
ことを特徴とする請求の範囲 1 記載の容量検出回路。

9. 被検出コンデンサの容量を検出する回路であって、

前記被検出コンデンサに信号線を介して接続される電圧増幅率が 1 の
10 バッファアンプ部と、

前記信号線と第 1 電源との間に、前記信号線から前記第 1 電源に向か
って電流が流れる方向に直列接続された第 1 及び第 2 ダイオードと、

前記信号線と第 2 電源との間に、前記第 2 電源から前記信号線に向か
って電流が流れる方向に直列接続され第 3 及び第 4 ダイオードと、

15 前記信号線と前記第 1 電源の電位以下で前記第 2 電源の電位以上の電
位との間に接続された抵抗とを含み、

前記バッファアンプ部の出力端子が、前記第 1 ダイオードと前記第 2
ダイオードとの接続点、及び、前記第 3 ダイオードと前記第 4 ダイオー
ドとの接続点に接続されている

20 ことを特徴とする容量検出回路。

10. 被検出コンデンサの容量を検出する回路であって、

前記被検出コンデンサに信号線を介して接続される電圧増幅率が 1 の
バッファアンプ部と、

25 前記信号線と第 1 電源との間に、前記信号線から前記第 1 電源に向か
って電流が流れる方向に直列接続された第 1 及び第 2 ダイオードと、

前記信号線と第2電源との間に、前記第2電源から前記信号線に向かって電流が流れる方向に直列接続され第3及び第4ダイオードと、

前記第1電源の電位以下で前記第2電源の電位以上の電位と前記信号線との間に接続された抵抗と、

- 5 前記バッファアンプ部の出力端子と、前記第1ダイオードと前記第2ダイオードとの第1接続点との間に接続されたコンデンサと、

前記第1接続点と、前記第1電源の電位と前記信号線の電位との間の電位とに接続された抵抗と、

- 10 前記バッファアンプ部の出力端子と、前記第3ダイオードと前記第4ダイオードとの第2接続点との間に接続されたコンデンサと、

前記第2接続点と、前記第2電源の電位と前記信号線の電位との間の電位とに接続された抵抗とを含む

ことを特徴とする容量検出回路。

- 15 11. 被検出コンデンサの容量を検出する回路であって、

前記被検出コンデンサに信号線を介して接続される電圧増幅率が1の第1バッファアンプ部と、

前記信号線と第1電源との間に、前記信号線から前記第1電源に向かって電流が流れる方向に直列接続された第1及び第2ダイオードと、

- 20 前記信号線と第2電源との間に、前記第2電源から前記信号線に向かって電流が流れる方向に直列接続され第3及び第4ダイオードと、

前記第1バッファアンプ部の出力端子と、前記第1ダイオードと前記第2ダイオードとの第1接続点との間に直列に接続された第1コンデンサ及び第2バッファアンプ部と、

- 25 前記第1コンデンサと前記第2バッファアンプ部との接続点と、前記第1電源の電位と前記信号線の電位との間の電位とに接続された第1抵

抗と、

前記第 1 バッファアンプ部の出力端子と、前記第 3 ダイオードと前記第 4 ダイオードとの第 2 接続点との間に直列に接続された第 2 コンデンサ及び第 3 バッファアンプ部と、

- 5 前記第 2 コンデンサと前記第 3 バッファアンプ部との接続点と、前記第 2 電源の電位と前記信号線の電位との間の電位とに接続された第 2 抵抗と、

前記第 1 電源の電位以下で前記第 2 電源の電位以上の電位と前記信号線との間に接続された第 3 抵抗とを含む

- 10 ことを特徴とする容量検出回路。

12. 被検出コンデンサの容量を検出する方法であって、

前記被検出コンデンサと電圧増幅率が 1 のバッファアンプ部とを信号線で接続し、

- 15 前記信号線と第 1 電源との間に第 1 及び第 2 ダイオードを直列に接続するとともに、前記信号線と第 2 電源との間に第 3 及び第 4 ダイオードを直列に接続し、

前記バッファアンプ部の出力端子を、前記第 1 ダイオードと前記第 2 ダイオードとの接続点、及び、前記第 3 ダイオードと前記第 4 ダイオードとの接続点に接続することによって、前記信号線に接続された前記第 1 ダイオード及び前記第 3 ダイオードの容量をキャンセルさせる

- 20 ことを特徴とする容量検出方法。

図1

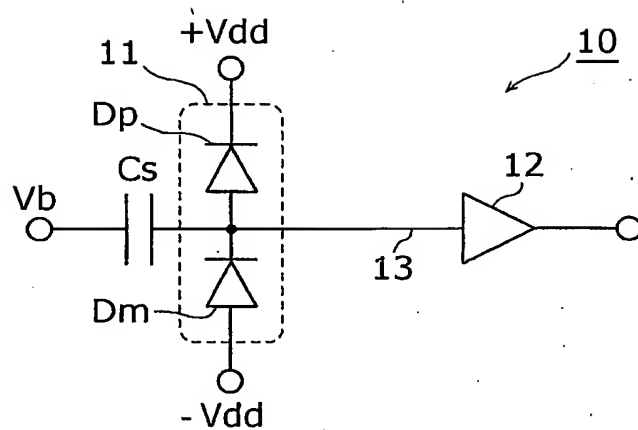


図2

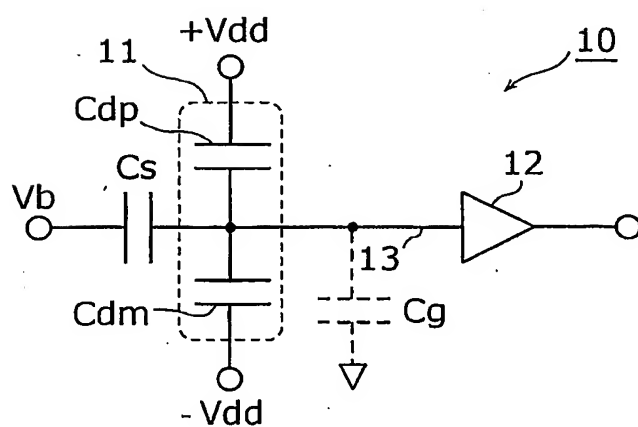


図3

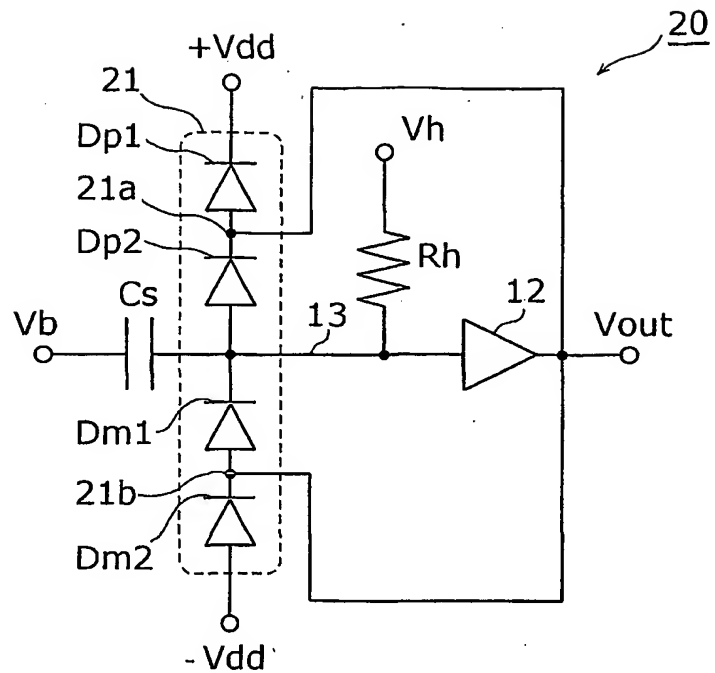


図4

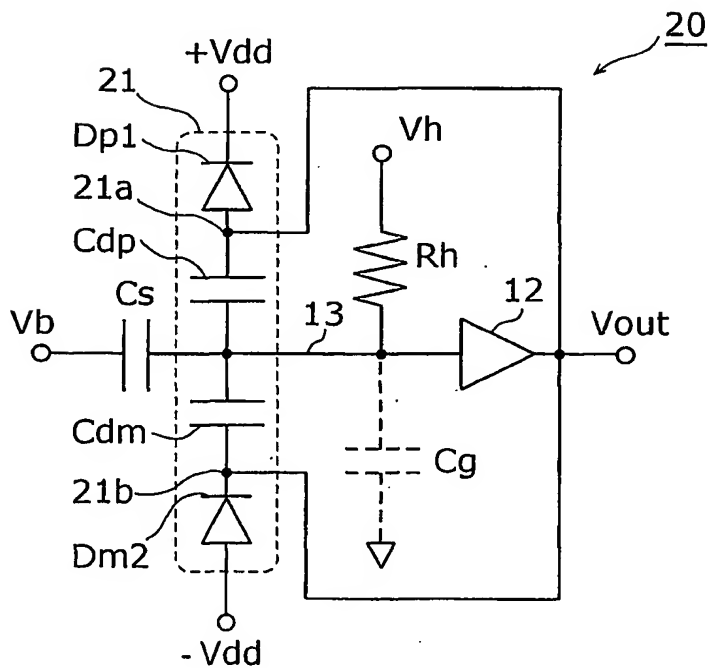
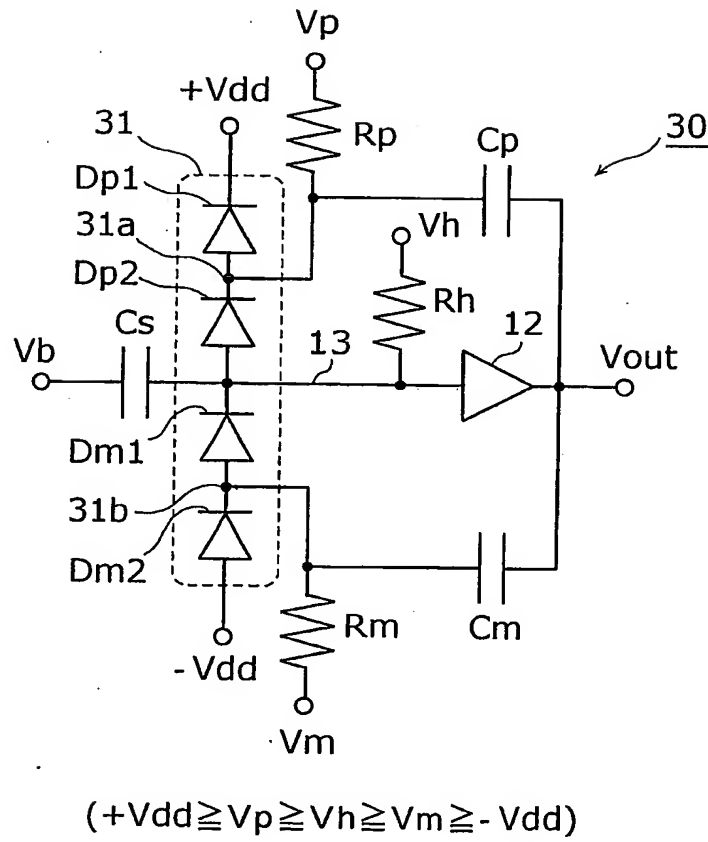


図5



7

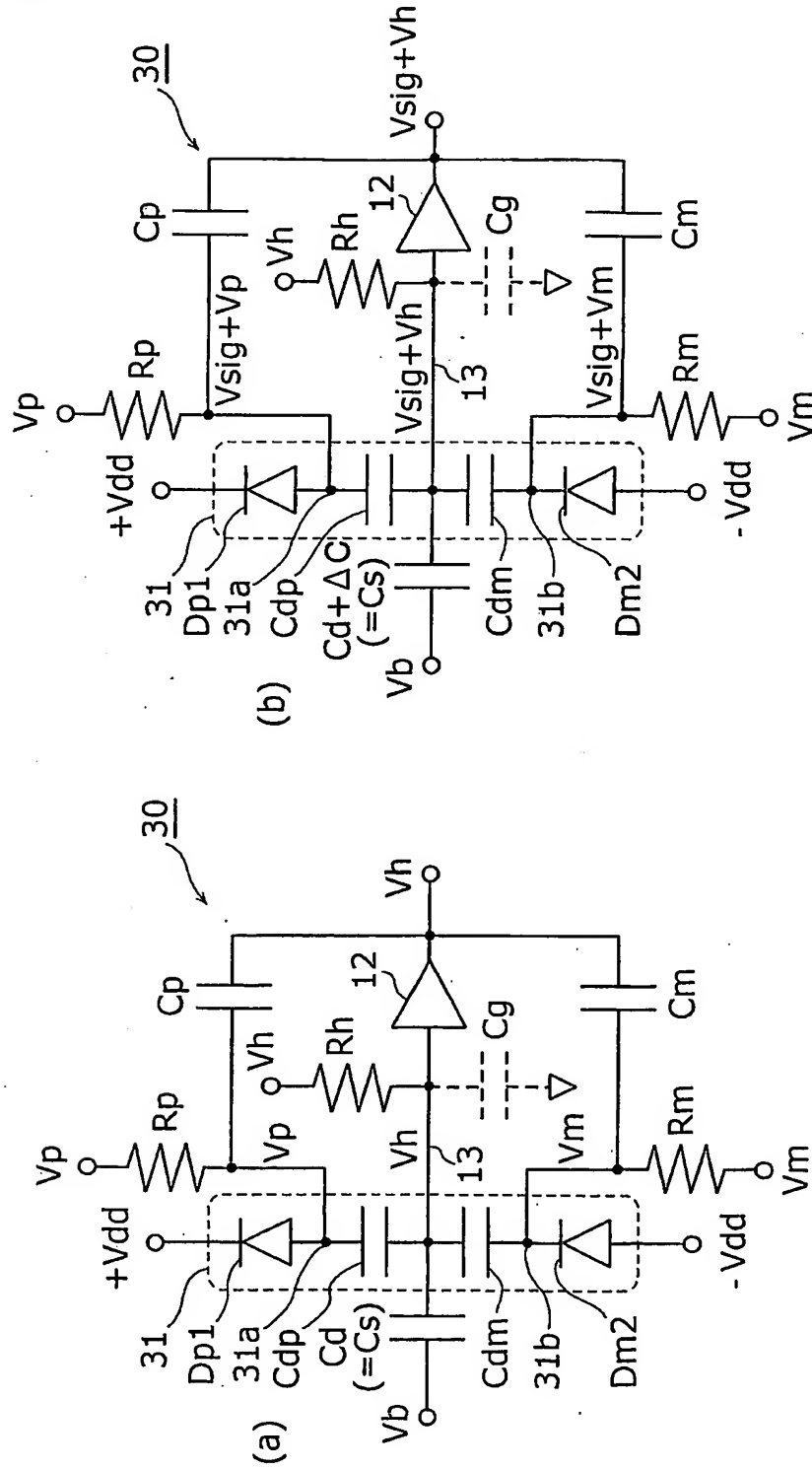


図8

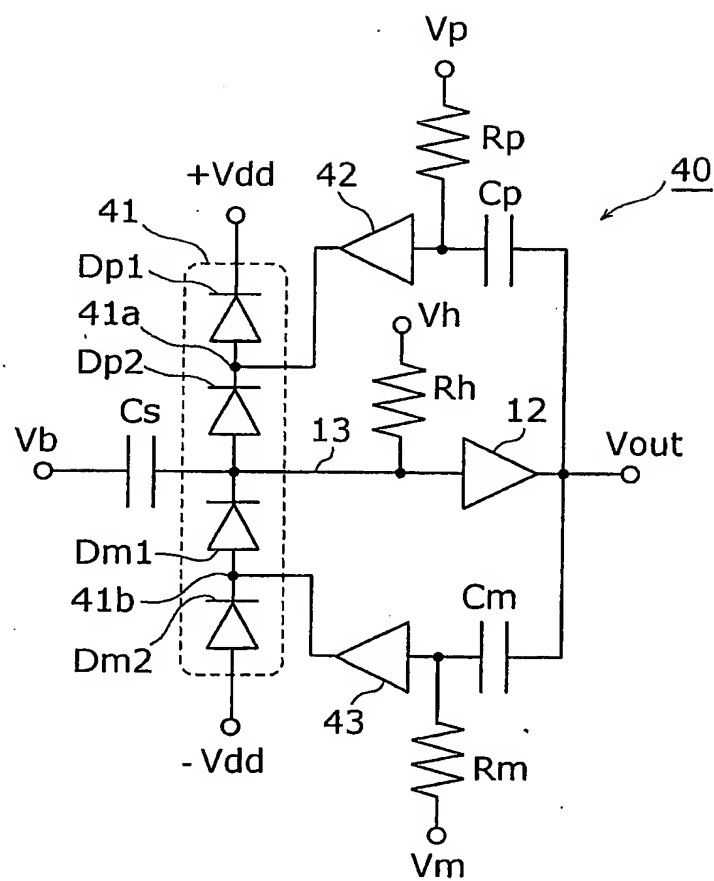


図9

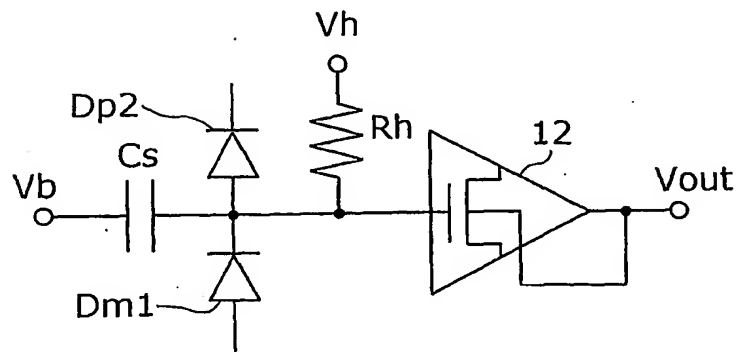


図10

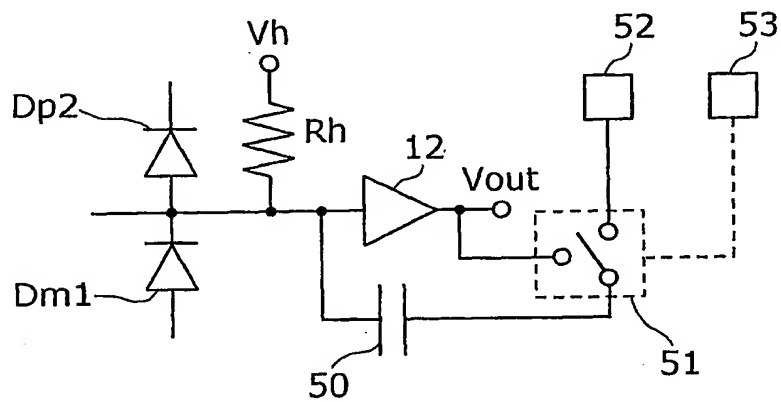
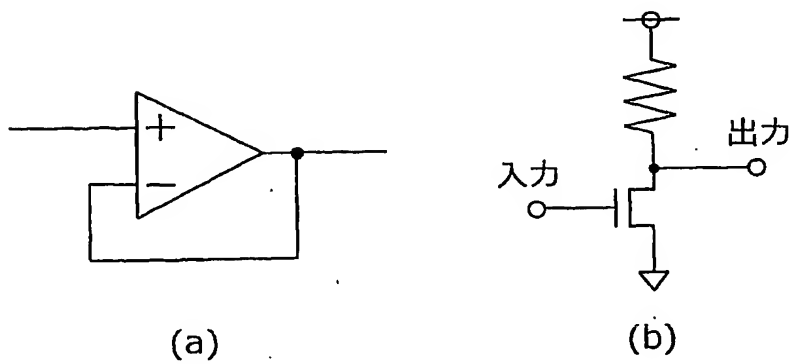


図11



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/011577

A. CLASSIFICATION OF SUBJECT MATTER Int.Cl⁷ G01R27/26

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl⁷ G01R27/00-27/32

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2004
Kokai Jitsuyo Shinan Koho 1971-2004 Jitsuyo Shinan Toroku Koho 1996-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2003-75486 A (Sumitomo Metal Industries, Ltd.), 12 March, 2003 (12.03.03), Full text; Figs. 1 to 8 (Family: none)	1-12
A	US 3646538 A (Rosemount Engineering Co.), 27 October, 1969 (27.10.69), Full text; drawings & IL 35539 A0 & DE 2052520 A & FR 2066530 A & GB 1335349 A & CA 960309 A & JP 50-31459 B & CA 980443 A & CA 999930 A & JP 55-14479 B & JP 62-37440 B	1-12

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
09 November, 2004 (09.11.04)

Date of mailing of the international search report
07 December, 2004 (07.12.04)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.